

The partial translation of the above-listed publication:

1. Japanese Unexamined Patent Application Publication No. 11-134879

Abstract:

PROBLEM TO BE SOLVED: To obtain a nonvolatile semiconductor storage device which can be optimized and which prevents an erroneous write operation by a method wherein a first write voltage is applied across a control gate and a semiconductor layer in a first write cycle used to write data '1' to a memory cell, a second write voltage is applied in a second write cycle used to write data '2' and the potential difference between both is made nearly equal to verify voltages of the respective data.

SOLUTION: When data '1' is written, data in a latch circuit LT1 is output to a bit line BL1. A HIGH voltage Vpp for a write operation is applied to a control gate CG1. A voltage VM10 is applied to other control gates CG2 to CG8. When the write operation is finished, a voltage is applied to the control gate CG1, and a verify read operation is started. When a voltage VL2 becomes a HIGH level, data in the bit line BL1 is latched by the latch circuit LT1. Data '2' is written. After that, a data write operation and a verify operation are performed a plurality of numbers of times. A voltage which can be written is given to a memory cell which is written most quickly, and an erroneous write operation is prevented.

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-134879

(43)公開日 平成11年(1999) 5月21日

(51)Int.Cl.⁸

識別記号

FI

G11C 16/02

G11C 17/00

611A

641

審査請求 未請求 請求項の数16 OL (全 17 頁)

(21)出願番号 特願平9-298749

(22)出願日 平成9年(1997)10月30日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 竹内 健

神奈川県川崎市幸区堀川町580番1号 株式会社東芝半導体システム技術センター内

(72)発明者 田中 智晴

神奈川県川崎市幸区堀川町580番1号 株式会社東芝半導体システム技術センター内

(72)発明者 丹沢 徹

神奈川県川崎市幸区堀川町580番1号 株式会社東芝半導体システム技術センター内

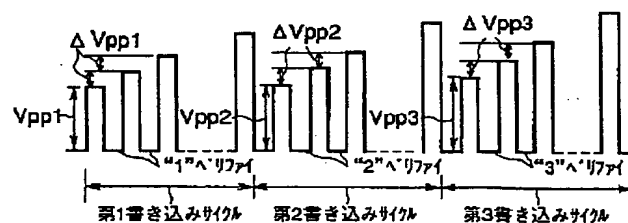
(74)代理人 弁理士 鈴江 武彦 (外6名)

(54)【発明の名称】 不揮発性半導体記憶装置

(57)【要約】

【課題】 従来は、多値データを誤書き込みすることなく、高速にメモリセルに書き込むことが困難であった。

【解決手段】 多値の各データの書き込み、ベリファイ動作を複数回に分け、各データの書き込みにおいて、書き込み電圧の初期値をそのデータが書き込まれるメモリセルのうち、最も速く書き込まれるメモリセルが十分に書き込むことが可能な電圧とする。



(2)

【特許請求の範囲】

【請求項1】 半導体層上に電荷蓄積層と制御ゲートを積層して構成され、 n 値 (n は3以上の自然数) のデータのうちの1つを記憶する電氣的書き換え可能なメモリセルがマトリクス状に配置されたメモリセルアレイと、前記メモリセルの閾値電圧を前記データに応じて変動させるため、前記制御ゲートと前記半導体層との間に電圧を印加する閾値変動手段と、
前記メモリセルの制御ゲートにベリファイ電圧を印加し、前記メモリセルに前記データが十分に書き込まれているか否かをベリファイするベリファイ読み出し手段とを有し、
前記閾値変動手段は前記メモリセルにデータ“1”を書き込む第1書き込みサイクルで、前記制御ゲートと前記半導体層間に第1の書き込み電圧を印加し、
前記メモリセルにデータ“2”を書き込む第2書き込みサイクルで、前記制御ゲートと前記半導体層間に第2の書き込み電圧を印加し、
前記第1の書き込み電圧と第2の書き込み電圧の電位差は、データ“1”のベリファイ電圧とデータ“2”のベリファイ電圧の電位差に略等しいことを特徴とする不揮発性半導体記憶装置。

【請求項2】 半導体層上に電荷蓄積層と制御ゲートを積層して構成され、 n 値 (n は3以上の自然数) のデータのうちの1つを記憶する電氣的書き換え可能なメモリセルがマトリクス状に配置されたメモリセルアレイと、前記メモリセルの閾値電圧を前記データに応じて変動させるため、前記制御ゲートと前記半導体層との間に電圧を印加する閾値変動手段と、
前記メモリセルの制御ゲートにベリファイ電圧を印加し、前記メモリセルに前記データが十分に書き込まれているか否かをベリファイするベリファイ読み出し手段とを有し、
前記閾値変動手段は前記メモリセルにデータ“1”を書き込む第1書き込みサイクルで、前記制御ゲートと前記半導体層間に第1の書き込み電圧を印加し、
前記メモリセルにデータ“2”を書き込む第2書き込みサイクルで、前記制御ゲートと前記半導体層間に第2の書き込み電圧を印加し、
前記第2の書き込み電圧は前記第1の書き込み電圧以上で、且つ前記第1の書き込み電圧と第2の書き込み電圧の電位差は、データ“1”のベリファイ電圧とデータ“2”のベリファイ電圧の電位差以下であることを特徴とする不揮発性半導体記憶装置。

【請求項3】 半導体層上に電荷蓄積層と制御ゲートを積層して構成され、 n 値 (n は3以上の自然数) のデータのうちの1つを記憶する電氣的書き換え可能なメモリセルがマトリクス状に配置されたメモリセルアレイと、前記メモリセルの閾値電圧を前記データに応じて変動させるため、前記制御ゲートと前記半導体層との間に電圧

を印加する閾値変動手段と、

前記メモリセルの制御ゲートにベリファイ電圧を印加し、前記メモリセルに前記データが十分に書き込まれているか否かをベリファイするベリファイ読み出し手段とを有し、
前記閾値変動手段は前記メモリセルにデータ“1”を書き込む第1書き込みサイクルで、前記制御ゲートと前記半導体層間に第1の書き込み電圧を印加し、
前記メモリセルにデータ“2”を書き込む第2書き込みサイクルで、前記制御ゲートと前記半導体層間に第2の書き込み電圧を印加し、
前記メモリセルにデータ“3”を書き込む第3書き込みサイクルで、前記制御ゲートと前記半導体層間に第3の書き込み電圧を印加し、
前記メモリセルにデータ“ j ”を書き込む第 j 書き込みサイクルで、前記制御ゲートと前記半導体層間に第 j の書き込み電圧を印加し、
前記第1の書き込み電圧と第2の書き込み電圧の電位差は、データ“1”のベリファイ電圧とデータ“2”のベリファイ電圧の電位差に略等しく、
前記第2の書き込み電圧と第3の書き込み電圧の電位差は、データ“2”のベリファイ電圧とデータ“3”のベリファイ電圧の電位差に略等しく、
前記第 j (j は $n-1$ 以下の自然数) の書き込み電圧と第 $j+1$ の書き込み電圧の電位差は、データ“ j ”のベリファイ電圧とデータ“ $j+1$ ”のベリファイ電圧の電位差に略等しいことを特徴とする不揮発性半導体記憶装置。

【請求項4】 半導体層上に電荷蓄積層と制御ゲートを積層して構成され、 n 値 (n は3以上の自然数) のデータのうちの1つを記憶する電氣的書き換え可能なメモリセルがマトリクス状に配置されたメモリセルアレイと、前記メモリセルの閾値電圧を前記データに応じて変動させるため、前記制御ゲートと前記半導体層との間に電圧を印加する閾値変動手段と、
前記メモリセルの制御ゲートにベリファイ電圧を印加し、前記メモリセルに前記データが十分に書き込まれているか否かをベリファイするベリファイ読み出し手段とを有し、

前記閾値変動手段は前記メモリセルにデータ“1”を書き込む第1書き込みサイクルで、前記制御ゲートと前記半導体層間に第1の書き込み電圧を印加し、
前記メモリセルにデータ“2”を書き込む第2書き込みサイクルで、前記制御ゲートと前記半導体層間に第2の書き込み電圧を印加し、
前記メモリセルにデータ“3”を書き込む第3書き込みサイクルで、前記制御ゲートと前記半導体層間に第3の書き込み電圧を印加し、
前記メモリセルにデータ“ j ”を書き込む第 j 書き込みサイクルで、前記制御ゲートと前記半導体層間に第 j の

(3)

3

書き込み電圧を印加し、

前記第2の書き込み電圧は前記第1の書き込み電圧以上で、且つ前記第1の書き込み電圧と第2の書き込み電圧の電位差は、データ“1”のペリファイ電圧とデータ

“2”のペリファイ電圧の電位差以下であり、

前記第3の書き込み電圧は前記第2の書き込み電圧以上で、且つ前記第2の書き込み電圧と第3の書き込み電圧の電位差は、データ“2”のペリファイ電圧とデータ

“3”のペリファイ電圧の電位差以下であり、

前記第 $j+1$ (j は $n-1$ 以下の自然数)の書き込み電圧は前記第 j の書き込み電圧以上で、且つ第 j の書き込み電圧と第 $j+1$ の書き込み電圧の電位差は、データ

“ j ”のペリファイ電圧とデータ“ $j+1$ ”のペリファイ電圧の電位差以下であることを特徴とする不揮発性半導体記憶装置。

【請求項5】 半導体層上に電荷蓄積層と制御ゲートを積層して構成され、 n 値 (n は3以上の自然数)のデータのうちの1つを記憶する電氣的書き換え可能なメモリセルがマトリクス状に配置されたメモリセルアレイと、前記メモリセルの閾値電圧を前記データに応じて変動させるため、前記制御ゲートと前記半導体層との間に電圧を印加する閾値変動手段と、

前記メモリセルの制御ゲートにペリファイ電圧を印加し、前記メモリセルに前記データが十分に書き込まれているか否かをペリファイするペリファイ読み出し手段とを有し、

前記メモリセルにデータ“1”を書き込む第1書き込みサイクルで、前記閾値変動手段により前記制御ゲートと前記半導体層間に第1の書き込み電圧を印加する第1の書き込み動作と、第1のペリファイ読み出し動作とを、前記メモリセルにデータ“1”が十分に書き込まれるまで繰り返し行い、

前記メモリセルにデータ“2”を書き込む第2書き込みサイクルで、前記閾値変動手段により前記制御ゲートと前記半導体層間に第2の書き込み電圧を印加する第2の書き込み動作と、第2のペリファイ読み出し動作とを、前記メモリセルにデータ“2”が十分に書き込まれるまで繰り返し行い、

前記第1の書き込み電圧は第1の初期書き込み電圧 V_{pp1} から書き込み電圧印加の度に電圧 ΔV_{pp1} だけ増加し、

前記第2の書き込み電圧は第2の初期書き込み電圧 V_{pp2} から書き込み電圧印加の度に電圧 ΔV_{pp2} だけ増加し、

前記第1の初期書き込み電圧と第2の初期書き込み電圧の電位差は、第1のペリファイ電圧と第2のペリファイ電圧の電位差に略等しいことを特徴とする不揮発性半導体記憶装置。

【請求項6】 半導体層上に電荷蓄積層と制御ゲートを積層して構成され、 n 値 (n は3以上の自然数)のデ

4

タのうちの1つを記憶する電氣的書き換え可能なメモリセルがマトリクス状に配置されたメモリセルアレイと、前記メモリセルの閾値電圧を前記データに応じて変動させるため、前記制御ゲートと前記半導体層との間に電圧を印加する閾値変動手段と、

前記メモリセルの制御ゲートにペリファイ電圧を印加し、前記メモリセルに前記データが十分に書き込まれているか否かをペリファイするペリファイ読み出し手段とを有し、

10 前記メモリセルにデータ“1”を書き込む第1書き込みサイクルで、前記閾値変動手段により前記制御ゲートと前記半導体層間に第1の書き込み電圧を印加する第1の書き込み動作と、第1のペリファイ読み出し動作とを、前記メモリセルにデータ“1”が十分に書き込まれるまで繰り返し行い、

前記メモリセルにデータ“2”を書き込む第2書き込みサイクルで、前記閾値変動手段により前記制御ゲートと前記半導体層間に第2の書き込み電圧を印加する第2の書き込み動作と、第2のペリファイ読み出し動作とを、
20 前記メモリセルにデータ“2”が十分に書き込まれるまで繰り返し行い、

前記第1の書き込み電圧は第1の初期書き込み電圧 V_{pp1} から書き込み電圧印加の度に電圧 ΔV_{pp1} だけ増加し、

前記第2の書き込み電圧は第2の初期書き込み電圧 V_{pp2} から書き込み電圧印加の度に電圧 ΔV_{pp2} だけ増加し、

30 前記第2の初期書き込み電圧は前記第1の初期書き込み電圧以上で、且つ前記第1の初期書き込み電圧と第2の初期書き込み電圧の電位差は、第1のペリファイ電圧と第2のペリファイ電圧の電位差以下であることを特徴とする不揮発性半導体記憶装置。

【請求項7】 前記電圧 ΔV_{pp1} と ΔV_{pp2} は略等しいことを特徴とする請求項5又は6記載の不揮発性半導体記憶装置。

【請求項8】 前記第1の初期書き込み電圧印加前に、複数のダミーパルスが印加され、各ダミーパルス相互の電位差は前記電圧 ΔV_{pp1} であることを特徴とする請求項5又は6記載の不揮発性半導体記憶装置。

40 【請求項9】 前記第1及び第2の初期書き込み電圧印加前には、それぞれ第1及び第2のダミーパルスが印加され、前記第1及び第2のダミーパルスの初期電位は略等しいことを特徴とする請求項1、2、5又は6記載の不揮発性半導体記憶装置。

【請求項10】 前記電圧 ΔV_{pp1} 及び ΔV_{pp2} の少なくとも一方は、前記各データの閾値分布幅以下の電圧であることを特徴とする請求項5乃至9記載の不揮発性半導体記憶装置。

50 【請求項11】 半導体層上に電荷蓄積層と制御ゲートを積層して構成され、 n 値 (n は3以上の自然数)のデ

(4)

5

一タのうちの1つを記憶する電氣的書き換え可能なメモリセルがマトリクス状に配置されたメモリセルアレイと、

前記メモリセルの閾値電圧を前記データに応じて変動させるため、前記制御ゲートと前記半導体層との間に電圧を印加する閾値変動手段とを有し、

前記閾値変動手段は前記メモリセルにデータ“1”を書き込む第1の期間に、前記制御ゲートと前記半導体層間に第1の書き込み電圧を印加し、

前記メモリセルにデータ“2”を書き込む第2の期間に、前記制御ゲートと前記半導体層間に第2の書き込み電圧を印加し、

前記第1の書き込み電圧と第2の書き込み電圧の電位差は、データ“1”の閾値分布の実質的な下限値とデータ“2”の閾値分布の実質的な下限値の電位差に略等しいことを特徴とする不揮発性半導体記憶装置。

【請求項12】 半導体層上に電荷蓄積層と制御ゲートを積層して構成され、 n 値(n は3以上の自然数)のデータのうちの1つを記憶する電氣的書き換え可能なメモリセルがマトリクス状に配置されたメモリセルアレイと、

前記メモリセルの閾値電圧を前記データに応じて変動させるため、前記制御ゲートと前記半導体層との間に電圧を印加する閾値変動手段とを有し、

前記閾値変動手段は前記メモリセルにデータ“1”を書き込む第1の期間に、前記制御ゲートと前記半導体層間に第1の書き込み電圧を印加し、

前記メモリセルにデータ“2”を書き込む第2の期間に、前記制御ゲートと前記半導体層間に第2の書き込み電圧を印加し、

前記第2の書き込み電圧は前記第1の書き込み電圧以上で、且つ前記第1の書き込み電圧と第2の書き込み電圧の電位差は、データ“1”の閾値分布の実質的な下限値とデータ“2”の閾値分布の実質的な下限値の電位差以下であることを特徴とする不揮発性半導体記憶装置。

【請求項13】 前記書き込み電圧は、前記第1の書き込み電圧とは独立してその値が設定されることを特徴とする請求項1乃至12記載の不揮発性半導体記憶装置。

【請求項14】 前記第1の書き込み電圧は、前記第1の初期書き込み電圧 V_{pp1} から第1の書き込み終了電圧まで書き込み電圧印加の度に前記電圧 ΔV_{pp1} だけ増加し、前記第2の初期書き込み電圧 V_{pp2} は、前記第1の書き込み終了電圧とは独立してその値が設定されることを特徴とする請求項5乃至10記載の不揮発性半導体記憶装置。

【請求項15】 前記書き込み電圧は制御ゲートの電位を変化させることにより設定されることを特徴とする請求項1乃至14記載の不揮発性半導体記憶装置。

【請求項16】 前記書き込み電圧は半導体層の電位を変化させることにより設定されることを特徴とする請求

6

項1乃至14記載の不揮発性半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明に属する技術分野】本発明は、例えば電氣的書き換え可能な不揮発性半導体記憶装置(EEPROM)に係わり、特に、多値データを記憶可能な不揮発性半導体記憶装置に関する。

【0002】

【従来の技術】近年、電氣的書換え可能とした不揮発性半導体記憶装置の1つとしてNANDセル型EEPROMが提案されている。このNANDセル型EEPROMは、複数のメモリセルのソース、ドレインを隣接するもの同士で共有して直列接続し、これを1単位としてビット線に接続するものであり、各メモリセルは、電荷蓄積層としての浮遊ゲートと、制御ゲートが積層された n チャネルFETMOS構造とされている。

【0003】図14(a)(b)はメモリセルアレイの1つのNANDセル部分の平面図と等価回路図である。図15(a)は図14(a)に示す15a-15a線に沿った断面図であり、図15(b)は図14(a)に示す15b-15b線に沿った断面図である。

【0004】素子分離酸化膜72で囲まれた p 型シリコン基板(又は p 型ウェル)71には、複数のNANDセルからなるメモリセルアレイが形成されている。この例において、1つのNANDセルは、8個のメモリセルM1~M8が直列接続されて構成されている。各メモリセルにおいて、浮遊ゲート74(74₁、74₂...74₈)は基板71にゲート絶縁膜73を介して形成されている。これらのメモリセルのソース、ドレインとしての n 型拡散層79は、隣接するもの同士が直列接続されている。

【0005】NANDセルのドレイン側、ソース側には第1の選択ゲート74₉、76₉及び第2の選択ゲート74₁₀、76₁₀が設けられている。各第1の選択ゲート74₉、76₉及び第2の選択ゲート74₁₀、76₁₀はメモリセルの浮遊ゲート74(74₁...74₈)、制御ゲート76(76₁...76₈)と同時に形成される。なお、第1の選択ゲート74₉、76₉及び第2の選択ゲート74₁₀、76₁₀はともに、図示せぬ所望の部分で1層目と2層目が導通接続されている。素子が形成された基板はCVD酸化膜77により覆われ、この上にビット線78が配設される。NANDセルの制御ゲート76₁、76₂...76₈(CG₁、CG₂...CG₈)は、ワード線とされ、選択ゲート74₉、76₉及び74₁₀、76₁₀(SG₁、SG₂)はそれぞれ行方向に配置され、選択ゲート線とされる。

【0006】図16は、上記構成のNANDセルをマトリクス状に配列したメモリセルアレイの等価回路を示している。この例において、ソース線は例えば64本のビット線毎に1箇所、コンタクトを介してアルミニウム

(5)

7

や、ポリシリコン等からなる基準電位配線に接続される。この基準電位配線は周辺回路に接続される。メモリセルの制御ゲート及び第1、第2の選択ゲートは、行方向に連続的に配設される。通常、制御ゲートが共通に接続されたメモリセルの集合を1ページと呼び、ドレイン側（第1の選択ゲート）とソース側（第2の選択ゲート）の1組の選択ゲートの間に配置されたページの集合を1NANDブロック、又は単に1ブロックと呼ぶ。1ページは例えば256バイト（256×8）個のメモリセルから構成される。1ページ分のメモリセルはほぼ同時に書き込みが行われる。1ブロックは例えば2048バイト（2048×8）個のメモリセルから構成される。1ブロック分のメモリセルはほぼ同時に消去される。

【0007】NAND型EEPROMの動作は例えば次の通りである。データ書き込みは、ビット線から遠い方のメモリセルから順に行う。選択されたメモリセルの制御ゲートには昇圧された書き込み電圧 V_{pp} （＝20V程度）を印加し、他の非選択メモリセルの制御ゲートおよび第1の選択ゲートには中間電位（＝10V程度）を印加し、ビット線にはデータに応じて0V（“0”書き込み）又は中間電位（“1”書き込み）を印加する。このときビット線の電位は選択メモリセルに伝達される。データ“0”の書き込み時は、選択メモリセルの浮遊ゲートとチャンネル間に高電圧がかかり、チャンネルから浮遊ゲートに電子がトンネル注入されて閾値電圧が正方向に移動する。データ“1”の書き込み時、閾値電圧は変化しない。

【0008】データ消去は、ブロック単位でほぼ同時に行われる。すなわち消去するブロックの全ての制御ゲート、選択ゲートを0Vとし、p型ウエル及びn型基板に昇圧された昇圧電位 V_{ppE} （20V程度）を印加する。消去を行わないブロックの制御ゲート、選択ゲートにも V_{ppE} を印加する。これにより消去するブロックのメモリセルにおいて浮遊ゲートの電子がウエルに放出され、閾値電圧が負方向に移動する。

【0009】データの読み出し動作は、ビット線をプリチャージした後にフローティングにし、選択されたメモリセルの制御ゲートを0V、それ以外のメモリセルの制御ゲート、選択ゲートを電源電圧 V_{cc} （例えば3V）、ソース線を0Vとして、選択メモリセルで電流が流れるかをビット線に検出することにより行われる。すなわちメモリセルに書き込まれたデータが“0”（メモリセルの閾値 $V_{th} > 0$ ）ならばメモリセルはオフになるため、ビット線はプリチャージ電位を保つが、“1”（メモリセルの閾値 $V_{th} < 0$ ）ならばメモリセルはオンしてビット線はプリチャージ電位から ΔV だけ下がる。これらのビット線電位をセンスアンプで検出することによって、メモリセルのデータが読み出される。

【0010】ところで、EEPROMの大容量化を実現

8

する手法の1つとして、1個のセルに3値以上の情報を記憶させる多値記憶セルが知られている。図17は、メモリセルに4つの書き込み状態を設定することにより、4値のデータを記憶する場合のメモリセルの閾値電圧と、4つの書き込み状態（4レベルデータ“0”、“1”、“2”、“3”）の関係を示している。データ“0”は消去後の状態と同じで、例えば負の閾値を有し、データ“1”は例えば0.5Vから0.8Vの間の閾値を有している。データ“2”は例えば1.5Vから1.8Vの間の閾値を有し、データ“3”は、例えば2.5Vから2.8Vの間の閾値を有している。メモリセルの制御ゲートに、読み出し電圧 V_{CG2R} を印加し、メモリセルが“オン”するか“オフ”するかにより、メモリセルのデータが“0”、“1”のいずれかか、“2”、“3”のいずれかを検出できる。続いて、読み出し電圧 V_{CG3R} 、 V_{CG1R} を印加することで、メモリセルのデータが“0”乃至“3”のいずれかが完全に検出される。読み出し電圧 V_{CG1R} 、 V_{CG2R} 、 V_{CG3R} は、例えばそれぞれ0V、1V、2Vとされる。電圧 V_{CG1V} 、 V_{CG2V} 、 V_{CG3V} はベリファイ電圧と呼ばれ、データ書き込み時にはこれらベリファイ電圧を制御ゲートに印加してメモリセルの状態を検出し、データが十分書き込まれたか否かをチェックする。これらベリファイ電圧 V_{CG1V} 、 V_{CG2V} 、 V_{CG3V} は、例えばそれぞれ0.5V、1.5V、2.5Vとされる。

【0011】

【発明が解決しようとする課題】ところで、図17に示すような閾値電圧が設定された多値メモリセルでは、書き込み時に例えば“1”、“2”、“3”を書き込む。例えば公知文献 IEEE Journal of Solid-state Circuits, vol. 31, no. 11, 1996, pp. 1575-1582の記載では、先ず、データ“1”を書き込んだ後、データ“2”を書き込み、次に、データ“3”を書き込む。この場合、書き込みの際に制御ゲートに印加する電圧 V_{pp} を、例えばデータ“1”の書き込みと、データ“2”の書き込みと、データ“3”の書き込みで同電位にすると、閾値電圧の高い状態（“2”、“3”）の書き込みに時間がかかり、書き込みスピードが遅くなるものの、データ“2”、“3”の書き込みで V_{pp} を高くしすぎると、書き込みが速くなる反面、例えばデータ“2”を書き込むべきメモリセルが最初の書き込みパルスでデータ“3”に書き込まれ、誤書き込みを生じるという問題がある。すなわち、トンネル酸化膜の膜厚等のばらつきにより、書き込みやすいメモリセルと書き込みにくいメモリセルが存在するため、書き込みやすいメモリセルにおいて誤書き込みが発生する。

【0012】この発明は、上記課題を解決するためになされたものであり、その目的とするところは、データの書き込みにおいて、最適な書き込み電圧を印加すること

(6)

9

ができ、誤書き込みを生じることなく、高速に書き込みを行うことが可能な不揮発性半導体記憶装置を提供しようとするものである。

【0013】

【課題を解決するための手段】この発明の不揮発性半導体記憶装置は、半導体層上に電荷蓄積層と制御ゲートを積層して構成され、 n 値 (n は 3 以上の自然数) のデータのうちの 1 つを記憶する電氣的書き換え可能なメモリセルがマトリクス状に配置されたメモリセルアレイと、前記メモリセルの閾値電圧を前記データに応じて変動させるため、前記制御ゲートと前記半導体層との間に電圧を印加する閾値変動手段と、前記メモリセルの制御ゲートにベリファイ電圧を印加し、前記メモリセルに前記データが十分に書き込まれているか否かをベリファイするベリファイ読み出し手段とを有し、前記閾値変動手段は前記メモリセルにデータ “1” を書き込む第 1 書き込みサイクルで、前記制御ゲートと前記半導体層間に第 1 の書き込み電圧を印加し、前記メモリセルにデータ “2” を書き込む第 2 書き込みサイクルで、前記制御ゲートと前記半導体層間に第 2 の書き込み電圧を印加し、前記第 1 の書き込み電圧と第 2 の書き込み電圧の電位差は、データ “1” のベリファイ電圧とデータ “2” のベリファイ電圧の電位差に略等しくされている。

【0014】この発明の不揮発性半導体記憶装置は、半導体層上に電荷蓄積層と制御ゲートを積層して構成され、 n 値 (n は 3 以上の自然数) のデータのうちの 1 つを記憶する電氣的書き換え可能なメモリセルがマトリクス状に配置されたメモリセルアレイと、前記メモリセルの閾値電圧を前記データに応じて変動させるため、前記制御ゲートと前記半導体層との間に電圧を印加する閾値変動手段と、前記メモリセルの制御ゲートにベリファイ電圧を印加し、前記メモリセルに前記データが十分に書き込まれているか否かをベリファイするベリファイ読み出し手段とを有し、前記閾値変動手段は前記メモリセルにデータ “1” を書き込む第 1 書き込みサイクルで、前記制御ゲートと前記半導体層間に第 1 の書き込み電圧を印加し、前記メモリセルにデータ “2” を書き込む第 2 書き込みサイクルで、前記制御ゲートと前記半導体層間に第 2 の書き込み電圧を印加し、前記第 2 の書き込み電圧は前記第 1 の書き込み電圧以上で、且つ前記第 1 の書き込み電圧と第 2 の書き込み電圧の電位差は、データ “1” のベリファイ電圧とデータ “2” のベリファイ電圧の電位差以下である。

【0015】この発明の不揮発性半導体記憶装置は、半導体層上に電荷蓄積層と制御ゲートを積層して構成され、 n 値 (n は 3 以上の自然数) のデータのうちの 1 つを記憶する電氣的書き換え可能なメモリセルがマトリクス状に配置されたメモリセルアレイと、前記メモリセルの閾値電圧を前記データに応じて変動させるため、前記制御ゲートと前記半導体層との間に電圧を印加する閾値

10

変動手段と、前記メモリセルの制御ゲートにベリファイ電圧を印加し、前記メモリセルに前記データが十分に書き込まれているか否かをベリファイするベリファイ読み出し手段とを有し、前記閾値変動手段は前記メモリセルにデータ “1” を書き込む第 1 書き込みサイクルで、前記制御ゲートと前記半導体層間に第 1 の書き込み電圧を印加し、前記メモリセルにデータ “2” を書き込む第 2 書き込みサイクルで、前記制御ゲートと前記半導体層間に第 2 の書き込み電圧を印加し、前記メモリセルにデータ “3” を書き込む第 3 書き込みサイクルで、前記制御ゲートと前記半導体層間に第 3 の書き込み電圧を印加し、前記メモリセルにデータ “ j ” を書き込む第 j 書き込みサイクルで、前記制御ゲートと前記半導体層間に第 j の書き込み電圧を印加し、前記第 1 の書き込み電圧と第 2 の書き込み電圧の電位差は、データ “1” のベリファイ電圧とデータ “2” のベリファイ電圧の電位差に略等しく、前記第 2 の書き込み電圧と第 3 の書き込み電圧の電位差は、データ “2” のベリファイ電圧とデータ “3” のベリファイ電圧の電位差に略等しく、前記第 j (j は $n-1$ 以下の自然数) の書き込み電圧と第 $j+1$ の書き込み電圧の電位差は、データ “ j ” のベリファイ電圧とデータ “ $j+1$ ” のベリファイ電圧の電位差に略等しい。

【0016】この発明の不揮発性半導体記憶装置は、半導体層上に電荷蓄積層と制御ゲートを積層して構成され、 n 値 (n は 3 以上の自然数) のデータのうちの 1 つを記憶する電氣的書き換え可能なメモリセルがマトリクス状に配置されたメモリセルアレイと、前記メモリセルの閾値電圧を前記データに応じて変動させるため、前記制御ゲートと前記半導体層との間に電圧を印加する閾値変動手段と、前記メモリセルの制御ゲートにベリファイ電圧を印加し、前記メモリセルに前記データが十分に書き込まれているか否かをベリファイするベリファイ読み出し手段とを有し、前記閾値変動手段は前記メモリセルにデータ “1” を書き込む第 1 書き込みサイクルで、前記制御ゲートと前記半導体層間に第 1 の書き込み電圧を印加し、前記メモリセルにデータ “2” を書き込む第 2 書き込みサイクルで、前記制御ゲートと前記半導体層間に第 2 の書き込み電圧を印加し、前記メモリセルにデータ “3” を書き込む第 3 書き込みサイクルで、前記制御ゲートと前記半導体層間に第 3 の書き込み電圧を印加し、前記メモリセルにデータ “ j ” を書き込む第 j 書き込みサイクルで、前記制御ゲートと前記半導体層間に第 j の書き込み電圧を印加し、前記第 2 の書き込み電圧は前記第 1 の書き込み電圧以上で、且つ前記第 1 の書き込み電圧と第 2 の書き込み電圧の電位差は、データ “1” のベリファイ電圧とデータ “2” のベリファイ電圧の電位差以下であり、前記第 3 の書き込み電圧は前記第 2 の書き込み電圧以上で、且つ前記第 2 の書き込み電圧と第 3 の書き込み電圧の電位差は、データ “2” のベリフ

(7)

11

イ電圧とデータ“3”のペリファイ電圧の電位差以下であり、前記第 $j+1$ (j は $n-1$ 以下の自然数)の書き込み電圧は前記第 j の書き込み電圧以上で、且つ第 j の書き込み電圧と第 $j+1$ の書き込み電圧の電位差は、データ“ j ”のペリファイ電圧とデータ“ $j+1$ ”のペリファイ電圧の電位差以下である。

【0017】この発明の不揮発性半導体記憶装置は、半導体層上に電荷蓄積層と制御ゲートを積層して構成され、 n 値 (n は3以上の自然数)のデータのうちの1つを記憶する電氣的書き換え可能なメモリセルがマトリクス状に配置されたメモリセルアレイと、前記メモリセルの閾値電圧を前記データに応じて変動させるため、前記制御ゲートと前記半導体層との間に電圧を印加する閾値変動手段と、前記メモリセルの制御ゲートにペリファイ電圧を印加し、前記メモリセルに前記データが十分に書き込まれているか否かをペリファイするペリファイ読み出し手段とを有し、前記メモリセルにデータ“1”を書き込む第1書き込みサイクルで、前記閾値変動手段により前記制御ゲートと前記半導体層間に第1の書き込み電圧を印加する第1の書き込み動作と、第1のペリファイ読み出し動作とを、前記メモリセルにデータ“1”が十分に書き込まれるまで繰り返し行い、前記メモリセルにデータ“2”を書き込む第2書き込みサイクルで、前記閾値変動手段により前記制御ゲートと前記半導体層間に第2の書き込み電圧を印加する第2の書き込み動作と、第2のペリファイ読み出し動作とを、前記メモリセルにデータ“2”が十分に書き込まれるまで繰り返し行い、前記第1の書き込み電圧は第1の初期書き込み電圧 V_{pp1} から書き込み電圧印加の度に電圧 ΔV_{pp1} だけ増加し、前記第2の書き込み電圧は第2の初期書き込み電圧 V_{pp2} から書き込み電圧印加の度に電圧 ΔV_{pp2} だけ増加し、前記第1の初期書き込み電圧と第2の初期書き込み電圧の電位差は、第1のペリファイ電圧と第2のペリファイ電圧の電位差に略等しい。

【0018】この発明の不揮発性半導体記憶装置は、半導体層上に電荷蓄積層と制御ゲートを積層して構成され、 n 値 (n は3以上の自然数)のデータのうちの1つを記憶する電氣的書き換え可能なメモリセルがマトリクス状に配置されたメモリセルアレイと、前記メモリセルの閾値電圧を前記データに応じて変動させるため、前記制御ゲートと前記半導体層との間に電圧を印加する閾値変動手段と、前記メモリセルの制御ゲートにペリファイ電圧を印加し、前記メモリセルに前記データが十分に書き込まれているか否かをペリファイするペリファイ読み出し手段とを有し、前記メモリセルにデータ“1”を書き込む第1書き込みサイクルで、前記閾値変動手段により前記制御ゲートと前記半導体層間に第1の書き込み電圧を印加する第1の書き込み動作と、第1のペリファイ読み出し動作とを、前記メモリセルにデータ“1”が十分に書き込まれるまで繰り返し行い、前記メモリセルに

12

データ“2”を書き込む第2書き込みサイクルで、前記閾値変動手段により前記制御ゲートと前記半導体層間に第2の書き込み電圧を印加する第2の書き込み動作と、第2のペリファイ読み出し動作とを、前記メモリセルにデータ“2”が十分に書き込まれるまで繰り返し行い、前記第1の書き込み電圧は第1の初期書き込み電圧 V_{pp1} から書き込み電圧印加の度に電圧 ΔV_{pp1} だけ増加し、前記第2の書き込み電圧は第2の初期書き込み電圧 V_{pp2} から書き込み電圧印加の度に電圧 ΔV_{pp2} だけ増加し、前記第2の初期書き込み電圧は前記第1の初期書き込み電圧以上で、且つ前記第1の初期書き込み電圧と第2の初期書き込み電圧の電位差は、第1のペリファイ電圧と第2のペリファイ電圧の電位差以下である。

【0019】前記電圧 ΔV_{pp1} と ΔV_{pp2} は略等しい。前記第1の初期書き込み電圧印加前に、複数のダミーパルスが印加され、各ダミーパルス相互の電位差は前記電圧 ΔV_{pp1} である。

【0020】前記第1及び第2の初期書き込み電圧印加前には、それぞれ第1及び第2のダミーパルスが印加され、前記第1及び第2のダミーパルスの初期電位は略等しい。

【0021】前記電圧 ΔV_{pp1} 及び ΔV_{pp2} の少なくとも一方は、前記各データの閾値分布幅以下の電圧である。この発明の不揮発性半導体記憶装置は、半導体層上に電荷蓄積層と制御ゲートを積層して構成され、 n 値 (n は3以上の自然数)のデータのうちの1つを記憶する電氣的書き換え可能なメモリセルがマトリクス状に配置されたメモリセルアレイと、前記メモリセルの閾値電圧を前記データに応じて変動させるため、前記制御ゲートと前記半導体層との間に電圧を印加する閾値変動手段とを有し、前記閾値変動手段は前記メモリセルにデータ“1”を書き込む第1の期間に、前記制御ゲートと前記半導体層間に第1の書き込み電圧を印加し、前記メモリセルにデータ“2”を書き込む第2の期間に、前記制御ゲートと前記半導体層間に第2の書き込み電圧を印加し、前記第1の書き込み電圧と第2の書き込み電圧の電位差は、データ“1”の閾値分布の実質的な下限値とデータ“2”の閾値分布の実質的な下限値の電位差に略等しい。

【0022】この発明の不揮発性半導体記憶装置は、半導体層上に電荷蓄積層と制御ゲートを積層して構成され、 n 値 (n は3以上の自然数)のデータのうちの1つを記憶する電氣的書き換え可能なメモリセルがマトリクス状に配置されたメモリセルアレイと、前記メモリセルの閾値電圧を前記データに応じて変動させるため、前記制御ゲートと前記半導体層との間に電圧を印加する閾値変動手段とを有し、前記閾値変動手段は前記メモリセルにデータ“1”を書き込む第1の期間に、前記制御ゲートと前記半導体層間に第1の書き込み電圧を印加し、前記メモリセルにデータ“2”を書き込む第2の期間に、

(8)

13

前記制御ゲートと前記半導体層間に第2の書き込み電圧を印加し、前記第2の書き込み電圧は前記第1の書き込み電圧以上で、且つ前記第1の書き込み電圧と第2の書き込み電圧の電位差は、データ“1”の閾値分布の実質的な下限値とデータ“2”の閾値分布の実質的な下限値の電位差以下である。

【0023】前記書き込み電圧は、前記第1の書き込み電圧とは独立してその値が設定される。前記第1の書き込み電圧は、前記第1の初期書き込み電圧 V_{pp1} から第1の書き込み終了電圧まで書き込み電圧印加の度に前記電圧 ΔV_{pp1} だけ増加し、前記第2の初期書き込み電圧 V_{pp2} は、前記第1の書き込み終了電圧とは独立してその値が設定される。前記書き込み電圧は制御ゲートの電位を変化させることにより設定される。前記書き込み電圧は半導体層の電位を変化させることにより設定される。

【0024】

【発明の実施の形態】以下、本発明の実施の形態について、図面を参照して説明する。図1は、本発明のメモリセル及び読み出し・書き込み回路の一部を示し、図2は、本発明の全体的な構成図を示し、図3は、本発明のメモリセルの閾値電圧分布を示している。

【0025】図2において、メモリセルアレイ1は図示せぬ浮遊ゲートと制御ゲートを具備する多値不揮発性メモリセルがNAND型に接続されてセルユニットを構成し、これがアレイ状に配列されている。

【0026】ビット線制御回路2はこの発明の主要部としてのセンスアンプ/データラッチ回路を含み、前記メモリセルアレイ1への記憶データの書き込み、ベリファイ及び読み出し動作を行うためにビット線を制御する。特に、ビット線制御回路2は、プログラム/ベリファイ制御回路8とともにベリファイ読み出し手段を構成する。

【0027】カラムデコーダ3は、アドレスバッファ4の信号を受けて、デコードされたアドレス信号をビット線に送り、ロウデコーダ5は前記アドレスバッファ4の信号を受けて、デコードされた信号をメモリセルアレイ1のワード線に送る。データの書き込み時に、例えば選択されたワード線には、後述するように、各データ毎に複数回に分けて書き込み電圧が供給される。

【0028】データ入出力バッファ回路6は、センスラッチ回路とデータの授受を行う。ベリファイ一括検知回路7は、ベリファイ動作の結果をページ単位に一括して検知する。メモリセルの閾値変動手段としてのプログラム/ベリファイ制御回路8は、メモリセルアレイ1へのデータの書き込み、書き込みベリファイ等の各動作を制御する。プログラム終了フラグ出力部9はプログラムの終了を検知する。

【0029】図1は、前記メモリセルアレイ1と前記ビット線制御回路2の具体的な構成を示すものであり、ビ

14

ット線BL1、BL2についての構成を示している。各NAND型EEPROMセル11a、11bは、それぞれ16個のEEPROMセルと2個の選択ゲートが直列接続されて構成されている。各NAND型EEPROMセル11a、11bの一端はビット線BL1、BL2に接続され、他端はソース線Vsourceに接続されている。前記ビット線BL1、BL2の一端にはトランジスタQ1、Q2を介して電源電圧Vccが供給される。これらトランジスタQ1、Q2のゲートにはそれぞれ信号Vh1、Vh2が供給される。前記ビット線BL1、BL2の一端はトランジスタQ3、Q4をそれぞれ介してトランジスタQ7、Q8の一端に接続されている。前記トランジスタQ3、Q4のゲートには信号SS1、SS2がそれぞれ供給され、前記トランジスタQ7、Q8のゲートには信号Vpg1、Vpg2がそれぞれ供給されている。前記トランジスタQ3とQ7の相互間には、トランジスタQ5(PチャネルMOSFET)を介して電源電圧Vccが供給される。前記トランジスタQ5のゲートには信号Vrefが供給されている。前記トランジスタQ3とQ7の接続ノードと、前記トランジスタQ4、Q8の接続ノードN3は互いに接続され、これら接続ノードはトランジスタQ6を介して接地されている。このトランジスタQ6のゲートには信号Vresetが供給されている。前記トランジスタQ7、Q8はトランジスタQ9、Q10を介してデータ線IO1、IO2に接続される。これらトランジスタQ9、Q10のゲートにはカラム選択信号CSLが供給されている。

【0030】前記トランジスタQ7とQ9の接続ノードにはインバータ回路I11、I12からなるラッチ回路LT1の一端が接続されている。このラッチ回路LT1の他端N1はトランジスタQ11、Q12、Q13を介して接地されている。このトランジスタQ11のゲートは前記トランジスタQ4、Q8の接続ノードN3に接続され、トランジスタQ12のゲートは前記トランジスタQ8とトランジスタQ10の接続ノードに接続されている。前記トランジスタQ13のゲートには信号VL2が供給されている。

【0031】前記トランジスタQ8とQ10の接続点にはインバータ回路I21、I22からなるラッチ回路LT2の一端が接続されている。このラッチ回路LT2の他端N2はトランジスタQ14、Q15を介して接地されている。前記トランジスタQ14のゲートは前記接続ノードN3に接続され、トランジスタQ15のゲートには信号VL3が供給されている。

【0032】さらに、前記トランジスタQ11とQ12の接続ノードと接地間にはトランジスタQ16、Q17が直列接続されている。前記トランジスタQ16のゲートは前記ラッチ回路LT2の他端N2に接続され、前記トランジスタQ17のゲートには信号VL1が供給されている。

50

(9)

15

【0033】上記構成において、ビット線制御回路2の動作について説明する。ビット線制御回路2は2本のビット線(BL1、BL2)で共有されており、例えばビット線BL1に接続されたメモリセルMC1を選択する際には信号SS1を選択、信号SS2を非選択とし、ビット線BL1をビット線制御回路2に接続する。

【0034】<データ読み出し>図4は、メモリセルMC1の読み出しタイミング図を示している。まず、時刻 t_1R に信号Vresetに応じてトランジスタQ6がオンとされ、ラッチ回路LT1、LT2がリセットされる。この後、記憶データが“3”であるか否かを検出するため、時刻 t_2R において、制御ゲートCG1を2.4VとしてメモリセルMC1のデータをビット線BL1に読み出す。この際、記憶データが“3”である場合、ビット線BL1の電位はハイレベルとなり、トランジスタQ14、Q11がオンとなる。また、ラッチ回路LT2のノードN2はハイレベルであるため、トランジスタQ16もオンとなっている。時刻 t_3R に、信号VL1がハイレベルとなると、トランジスタQ17がオンとなり、ラッチ回路LT1のノードN1が接地され、ラッチ回路LT1のラッチデータが反転する。このようにして、ビット線BL1に読み出されたデータがラッチ回路LT1にラッチされる。

【0035】次に、時刻 t_4R において、メモリセルに記憶されているデータが“0”又は“1”であるか、或いは“2”または“3”であるかを検出するため、制御ゲートCG1が1.2Vとされ、メモリセルのデータがビット線BL1に読み出される。この時、メモリセルに記憶されているデータが“2”または“3”である場合、ビット線BL1の電位はハイレベルとなる。この後、時刻 t_5R において、信号VL3がハイレベルとなると、トランジスタQ15がオンする。このため、ラッチ回路LT2のノードN2が接地され、ラッチ回路LT2が反転され、ビット線BL1のデータがラッチ回路LT2にラッチされる。

【0036】続いて、メモリセルに記憶されているデータが“0”であるか否かを検出するため、制御ゲートCG1を0Vとしてメモリセルのデータがビット線BL1に読み出される。この時、時刻 t_6R に信号VL1がハイレベルとされると、ラッチ回路LT1にデータがラッチされる。このようにすることにより、メモリセルのデータがラッチ回路LT1、LT2に読み出される。

【0037】上記のように、ビット線に読み出されたデータのレベルに応じてラッチ回路LT1、LT2のラッチデータが変化され、メモリセルのデータがラッチ回路LT1、LT2にラッチされる。これらラッチ回路LT1、LT2の一端(V2、V1)に最終的にラッチされるデータは、図4に示すように、メモリセルのデータが“1”の場合(“L”、“H”) (但し、“L”はローレベル、“H”はハイレベル)、“2”の場合

16

(“H”、“L”)、“3”の場合(“H”、“H”)、“0”の場合(“L”、“L”)となる。

【0038】<データ書き込み>図5は、データの書き込みのフローチャートを示し、図6は、そのタイミングチャートを示し、図7は、書き込み電圧の波形図を示している。データの書き込みは、図5に示すように、先ず、データ“1”が書き込まれるメモリセルが十分に書き込まれるまでデータ“1”の書き込み、及びデータ“1”のベリファイ読み出しが行われる(ST1~ST3)。続いて、データ“2”が書き込まれるメモリセルが十分に書き込まれるまでデータ“2”の書き込み、及びデータ“2”のベリファイ読み出しが行われる(ST4~ST6)。最後に、データ“3”が書き込まれるメモリセルが十分に書き込まれるまでデータ“3”の書き込み、及びデータ“3”のベリファイ読み出しが行われる(ST7~ST9)。

【0039】図6を参照して書き込み動作について説明する。尚、図6では、第1乃至第3の書き込みサイクルにおいて、書き込み及びベリファイ読み出し動作は一回ずつとなっているが、実際は、図5、図7に示すように、必要に応じて繰り返される。前記ラッチ回路LT1、LT2には、書き込みに先立って書き込みデータが入力される。これらラッチ回路LT1、LT2の一端の電位(V1、V2)は、データ“0”を書き込む場合(書き込み非選択)では(“H”、“H”)、データ“1”を書き込む場合(“L”、“H”)、データ“2”を書き込む場合(“H”、“L”)、データ“3”を書き込む場合(“L”、“L”)である。

【0040】以下、図1のメモリセルMC1に書き込みを行う場合を例に説明する。但し、書き込みを行うメモリセルMC1の閾値電圧分布は図3に示すようである。<データ“1”書き込み>先ず、時刻 t_{p1} において、データ“1”の書き込みが行われる。この時、ラッチ回路LT1のデータがビット線BL1に出力される。制御ゲートCG1には書き込み用の高電圧Vppが印加され、他の制御ゲートCG2、CG3...CG8にはVM10(10V程度)が印加される。高電圧Vppの波形は具体的には、図7に示す通りである。すなわち、最初の書き込み用の電圧Vppは、最初の書き込み動作において、最も書き込みやすいメモリセル、つまり、最も速く書き込まれるメモリセルが十分データ“1”に書き込まれる電圧Vpp1である。書き込みやすいメモリセルと書き込みにくいメモリセルが存在するのは、トンネル酸化膜厚等がばらつくからである。この電圧Vpp1は例えば16Vであればよい。

【0041】時刻 t_{p2} において、前記電圧Vpp1による書き込みが終了すると、時刻 t_{p3} において、制御ゲートCG1に電圧0.4Vを印加してベリファイ読み出しを開始する。時刻 t_{p4} において、信号VL2がハイレベルになることにより、ビット線のデータがセンスさ

(10)

17

れラッチ回路LT1にラッチされる。すなわち、書き込みが十分であり、ビット線BL1の電位がベリファイ電圧 $0.4V$ より高くなっている場合、トランジスタQ11がオンする。さらに、トランジスタQ12はラッチ回路LT2の一端の電圧V2がハイレベルであるためオン、トランジスタQ13は前記信号VL2がハイレベルであるためオンとなる。したがって、ラッチ回路LT1のノードN1がこれらトランジスタQ11、Q12、Q13を介して接地されるため、ラッチ回路LT1の一端の電圧V1はハイレベルとなる。このように、書き込みが十分の場合、追加書き込みはしない。

【0042】また、書き込みが不十分の場合、ラッチ回路LT1の一端の電圧V1はローレベルのままであり、追加書き込みが行われる。追加書き込み毎に、書き込み電圧Vppは図7のように ΔV_{pp1} ずつ増加される。データ“1”書き込み、及び“1”ベリファイはデータ

“1”を書き込むメモリセルが全て十分に書き込まれるまで行われる。つまり、データ“1”を書き込むメモリセルが接続されるラッチ回路LT1の電圧V1が全てハイレベルとなるまで行われる。

【0043】書き込み電圧Vppに電源電圧依存性がなく、読み出し時のアレイノイズがない理想的な場合には、データ“1”の閾値電圧分布はほぼ ΔV_{pp1} となる。したがって、図3に示すような $0.4V$ の閾値電圧分布を得るためには、 ΔV_{pp1} を理想的には $0.4V$ にすればよい。実際には、書き込み電圧Vppに電源依存性や、読み出し時のアレイノイズがあるので、 ΔV_{pp1} は $0.2V$ にすればよい。つまり、最初の書き込みではVppは $1.6V$ 、2番目の書き込みでは $1.6.2V$ 、3番目は $1.6.4V$ と、初期値Vpp1から $0.2V$ ずつ昇圧すればよい。

【0044】<データ“2”書き込み>引き続きデータ“2”の書き込みが行われる。データ“2”を書き込むときの書き込み電圧Vppの初期値Vpp2（図7参照）は、前記Vpp1に比べて“1”ベリファイ時と“2”ベリファイ時の制御ゲート電圧（ベリファイ電圧）の差、換言すれば図3におけるデータ“1”の閾値電圧分布の実質的な下限値とデータ“2”の閾値電圧分布の実質的な下限値の差である $1.2V$ （図3のV12に相当）だけ高い電圧であればよい。すなわち、

$$V_{pp2} = V_{pp1} + V_{12}$$

であればよい。したがって、Vpp1が $1.6V$ の場合、Vpp2は $1.7.2V$ にすればよい。電圧Vpp2は最も速く書き込まれるメモリセルが十分データ“2”に書き込まれる電圧である。このようにVpp2を $V_{pp1} + V_{12}$ に設定することにより、最も書き込みやすいメモリセル、つまり最も速く書き込まれるメモリセルは、最初の書き込みパルスで十分に書き込まれる。

【0045】尚、Vpp2を $V_{pp1} + V_{12}$ 未満（Vpp2 < $V_{pp1} + V_{12}$ ）に設定してもよい。この場合、酸化

18

膜に印加される電圧が低下するため、メモリセルの信頼性を向上できる。Vpp2を $V_{pp1} + V_{12}$ よりも大きくすると、データ“2”を書き込むはずのメモリセルが、データ“2”よりも高い閾値に書き込まれ、書き込み不良となる虞がある。

【0046】図6に示すタイミング図を参照して説明すると、時刻tp5において、データ“2”の書き込みが行われる。この時、ラッチ回路LT2のデータがビット線に出力される。制御ゲートCG1には書き込み電圧Vppが印加される。他の制御ゲートCG2、CG3…CG8にはVM10（ $10V$ 程度）が印加される。時刻tp6において、書き込みが終了され、時刻tp7において、制御ゲートCG1に $1.6V$ のベリファイ電圧が印加され、ベリファイ読み出しが開始される。時刻tp8において、信号VL3がハイレベルになると、ビット線BL1のデータがセンスされ、ラッチ回路LT2にラッチされる。

【0047】すなわち、書き込みが十分であり、ビット線BL1の電位がベリファイ電圧 $1.6V$ より高くなっている場合、トランジスタQ14がオンする。さらに、トランジスタQ15は前記信号VL3がハイレベルであるためオンとなる。したがって、ラッチ回路LT2のノードN2がこれらトランジスタQ14、Q15を介して接地されるため、ラッチ回路LT2の一端の電圧V2はハイレベルとなる。このように、書き込みが十分の場合、追加書き込みはしない。また、書き込みが不十分の場合、V2はローレベルであり、追加書き込みが行われる。追加書き込み毎に、書き込み電圧Vppは図7のように ΔV_{pp2} ずつ増加する。データ“2”の書き込み、及びデータ“2”のベリファイはデータ“2”を書き込むメモリセルが全て十分に書き込まれるまで繰り返される。つまり、データ“2”を書き込むメモリセルが接続されるラッチ回路LT2の電圧V2が全てハイレベルとなるまで行われる。図3に示すように、 $0.4V$ の閾値電圧分布を得るには、データ“1”の書き込みと同様に ΔV_{pp2} を $0.2V$ とすればよい。尚、ここでは、データ“1”を書き込む第1書き込みサイクル（第1の期間）とデータ“2”を書き込む第2書き込みサイクル（第2の期間）とで、書き込み電圧Vppの増加幅 ΔV_{pp} が等しい（ $\Delta V_{pp} = \Delta V_{pp1} = \Delta V_{pp2}$ ）に設定されているが、 ΔV_{pp1} と ΔV_{pp2} とは互いに異なる値に設定されていても構わない。

【0048】<データ“3”書き込み>引き続きデータ“3”の書き込みが行われる。データ“3”の書き込み時、図7に示す書き込み電圧Vppの初期値Vpp3は、Vpp1に比べて“1”ベリファイ時と“3”ベリファイ時の制御ゲート電圧（ベリファイ電圧）の差、換言すれば、図3におけるデータ“1”の閾値電圧分布の実質的な下限値とデータ“3”の閾値電圧分布の実質的な下限値の差である $2.4V$ （図3のV13）だけ高い電圧で

(11)

19

あればよい。すなわち、

$$V_{pp3} = V_{pp1} + V13$$

である。同時に V_{pp3} は V_{pp2} に比べて “2” ベリファイ時と “3” ベリファイ時の制御ゲート電圧（ベリファイ電圧）の差、換言すれば、図3におけるデータ “2” の閾値電圧分布の実質的な下限値とデータ “3” の閾値電圧分布の実質的な下限値の差である 1.2 V（図3の $V23$ ）だけ高い電圧

$$V_{pp3} = V_{pp2} + V23$$

でもある。したがって、 V_{pp1} が 1.6 V の場合、 V_{pp3} は 1.8.4 V とすればよい。このように書き込み電圧 V_{pp} の初期値を設定することにより、最も書き込みやすいメモリセル（つまり最も速く書き込まれるメモリセル）は最初の書き込みパルスで十分に書き込まれる。すなわち、電圧 V_{pp3} は最も速く書き込まれるメモリセルが十分データ “3” に書き込まれる電圧である。

【0049】 V_{pp3} は $V_{pp1} + V13$ ($V_{pp2} + V23$) 未満 ($V_{pp3} < V_{pp1} + V13$ 、 $V_{pp3} < V_{pp2} + V23$) に設定してもよい。この場合、酸化膜に印加される電圧が低下するので、メモリセルの信頼性が向上する。 V_{pp3} を $V_{pp1} + V13$ ($V_{pp2} + V23$) よりも大きくすると、データ “3” を書き込むはずのメモリセルが、データ “3” よりも高い値に書き込まれ、書き込み不良となる虞がある。

【0050】 図6に示すタイミング図を参照して説明すると、時刻 t_{p9} において、データ “3” の書き込みが行われる。この時、ラッチ回路 $LT1$ のデータがビット線 $BL1$ に出力される。制御ゲート $CG1$ には書き込み電圧 V_{pp} が印加される。他の $CG2$ 、 $CG3 \dots CG8$ には $VM10$ (10 V 程度) が印加される。時刻 t_{p10} において、書き込みが終了し、時刻 t_{p11} において、制御ゲート $CG1$ に 2.8 V の電圧を印加してベリファイ読み出しを開始する。時刻 t_{p12} において、信号 V_{L2} がハイレベルになると、前記データ “1” の書き込みの場合と同様にして、ビット線 $BL1$ のデータがセンスされラッチ回路 $LT1$ にラッチされる。書き込みが十分な場合、ラッチ回路 $LT1$ の一端の電圧 $V1$ はハイレベルとなり、追加書き込みは行われない。

【0051】 一方、書き込みが不十分な場合、電圧 $V1$ はローレベルであり、追加書き込みされる。追加書き込み毎に、書き込み電圧 V_{pp} は図7に示すように、 ΔV_{pp3} ずつ増加される。データ “3” 書き込み、及び “3” ベリファイはデータ “3” を書き込むメモリセルが全て十分に書き込まれるまで行われる。つまり、データ

“3” が書き込まれるメモリセルに対応するラッチ回路 $LT1$ の一端の電位 $V1$ が全てハイレベルになるまで行われる。図7に示すように、0.4 V の閾値電圧分布を得るためには、データ “1” の書き込みと同様に、 $\Delta pp3$ を 0.2 V とすればよく、また、 $\Delta pp3$ の値は、 $\Delta pp1$ や $\Delta pp2$ とは異なる値に設定されても何ら差し支えな

20

い。

【0052】 上記第1の実施の形態によれば、各データの書き込み、ベリファイ動作を複数回に分け、各データの書き込みにおいて、書き込み電圧の初期値をそのデータが書き込まれるメモリセルのうち、最も速く書き込まれるメモリセルが十分に書き込むことが可能な電圧としている。したがって、データを誤書き込みなく高速に書き込むことができる。

【0053】 尚、以上では、データ “1” 書き込み、データ “2” 書き込み、データ “3” 書き込み後、それぞれデータ “1” “2” “3” の閾値電圧分布の実質的な下限値である 0.4 V、1.6 V 及び 2.8 V をベリファイ電圧として選択したメモリセルの制御ゲート $CG1$ に印加し、ベリファイ読み出しを行う場合を示したが、ベリファイ動作の方法はこれに限定されない。例えば制御ゲート $CG1$ にベリファイ電圧を印加せず、セル電圧を検出することで、データが十分に書き込まれるまで、メモリセルに高電圧が印加されるように制御を行ってもよい。この場合、データ “1” “2” “3” を書き込む時の書き込み電圧 V_{pp} の各初期値 V_{pp1} 、 V_{pp2} 、 V_{pp3} は、データ書き込み時に設定されるデータ “1”

“2” “3” の閾値電圧分布の実質的な下限値の差（図3の $V12$ 、 $V13$ 、 $V23$ ）に基づき、上記のように、 $V_{pp2} \leq V_{pp1} + V12$ 、 $V_{pp3} \leq V_{pp1} + V13$ 、 $V_{pp3} \leq V_{pp2} + V23$ を満足させればよい。但し、ここでの各データ “1” “2” “3” の閾値電圧分布の実質的な下限値は、例えば図3に示される閾値電圧の範囲内に収まらないような、所謂「はなれビット」のメモリセルの閾値電圧は除外して定義されるものとする。

【0054】 図8は、この発明の第2の実施の形態を示すものであり、書き込み電圧の他の例を示している。図8に示す書き込み電圧では、第1書き込みサイクルで、最初の書き込み電圧中に2つのダミーパルス DP を先ず印加している。 V_{pp1} は最も書き込みやすいメモリセルに、データ “1” を書き込むための電圧である。このように、 V_{pp1} よりも低い電圧のダミーパルス DP を複数回に分けて制御ゲートに印加することにより、メモリセルの酸化膜に印加される電界が弱くなり、酸化膜の破壊を防止できる。このため、メモリセルの信頼性を向上できる。ここで、ダミーパルス DP の電圧の増加幅は、例えば書き込み電圧 V_{pp} の増加幅 ΔV_{pp} を等しく設定すればよい。

【0055】 第2書き込みサイクルでは、 $V_{pp2} = V_{pp1} + V12$ とする。このようにすれば、最も書き込みやすいメモリセルに、第2書き込みサイクルの最初のパルスで、データ “2” が書き込まれる。第3書き込みサイクルでは、 $V_{pp3} = V_{pp1} + V13$ とする。このようにすれば、最も書き込みやすいメモリセルに第3書き込みサイクルの最初のパルスで、データ “3” を書き込むこ

(12)

21

とができる。V_{pp2}をより低くすれば、メモリセルに印加される電界が弱くなるため、メモリセルの信頼性を向上できる。同様にV_{pp3}をより低くすれば、メモリセルに印加される電界が弱くなるため、メモリセルの信頼性を向上できる。

【0056】また、上記第2の実施の形態においては、図8に示すダミーパルスDPによりデータ“1”“2”“3”を書き込む全てのメモリセルの酸化膜に対して電界を印加してもよい。図9は、このとき好適に用いられるビット線制御回路の回路図を示している。具体的には、ダミーパルスDPの制御ゲートへの印加中には、図中のV_{pre1}の電位を0Vとすることで、信号SS1で選択されたビット線BL1を通じて各メモリセルのチャンネルに一括して0Vを供給すればよい。こうして、データ“1”“2”“3”を書き込む全てのメモリセルの酸化膜にダミーパルスDPの電圧を印加することが可能となり、メモリセルの信頼性をさらに向上できる。

【0057】尚、こうしたダミーパルスDPを印加する場合でも、ダミーパルスDPではメモリセルを十分に書き込むことはできない。このため、ダミーパルスDPの印加後にベリファイ読み出しを行う必要はない。

【0058】図10は、この発明の第3の実施の形態を示すものであり、書き込み電圧の他の例を示している。図10では第1書き込みサイクル、第2書き込みサイクル及び第3書き込みサイクルのそれぞれで、最初の書き込みパルス中に2つのダミーパルスDPを印加している。電圧V_{pp1H}は最も書き込みやすいメモリセルにデータ“1”が書き込まれる電圧である。V_{pp2H}は最も書き込みやすいメモリセルにデータ“2”を書き込む電圧でV_{pp2H}=V_{pp1H}+V₁₂である。V_{pp3H}は最も書き込みやすいメモリセルにデータ“3”を書き込む電圧V_{pg3}=V_{pg1}+V₁₃である。このようなダミーパルスを印加することにより、図1に示す回路を用いながらデータ“1”“2”“3”を書き込む全てのメモリセルについて、メモリセルの酸化膜に印加される電界を弱めることができ、メモリセルの信頼性がさらに向上する。各ダミーパルスDPの電圧は例えばV_{pp2L}=V_{pp1L}+V₁₂、V_{pp3L}=V_{pp1L}+V₁₃と設定すればよい。メモリセルはダミーパルスでは十分に書き込まれないため、ダミーパルス印加後にベリファイ読み出しを行う必要はない。

【0059】図11は、この発明の第4の実施の形態を示すものであり、書き込み電圧の他の例を示している。図11は、図10と同様に、第1乃至第3書き込みサイクルのそれぞれで、最初の書き込みパルス中にダミーパルスDPを印加している。しかし、図11において、第2、第3書き込みサイクルにおけるダミーパルスDPの初期値は第1書き込みサイクルと同一とされ、第2、第3書き込みサイクルにおけるダミーパルスDPの数は、第1書き込みサイクルより多く設定している。

【0060】この実施の形態によっても、第1乃至第3

22

の実施の形態と同様の効果を得ることができる。しかも、この実施の形態によれば、ダミーパルスDPの初期値が全て同一であるため、電圧の異なる複数のダミーパルスを発生する必要がない。したがって、ダミーパルスを発生するための回路を簡単化できる。

【0061】上記各実施の形態では、本発明をNAND型EEROMに適用した場合について説明したが、これに限らず、NOR型Flashメモリ、AND型(K. Kume et al.; IEDM Tech. Dig., Dec. 1992, pp. 991-993)や、DINOR型(S. Kobayashi et al.; ISSCC Tech. Dig., 1995, pp. 122)や、仮想グランド型アレイ(R. Cemea et al.; ISSCC Tech. Dig, 1995, pp. 126)に適用することも可能である。

【0062】さらに、上記実施の形態では、書き込み時にビット線からメモリセルのチャンネルに0Vが印加され、書き込み電圧V_{pp}が制御ゲートに印加される場合について説明したが、これに限定されるものではなく、AND型セル、DINOR型セルのように書き込み時に、ビット線に正電圧、ワード線に負電圧を印加することにより、浮遊ゲートからビット線に接続するドレインに電子をトンネリングする方法にも適用できる。

【0063】例えば図12に示すように、メモリセルのドレインにビット線から正電圧V_dが印加され、制御ゲートに負電圧V_gが印加され、ソースがフローティングV_sであり、閾値電圧分布が例えば図13に示すようであるとする。

【0064】この場合、データ“0”が消去状態であり、閾値電圧がV_{cc}(3.3V)以上である。書き込みは図5に示すように行われる。データ“1”の書き込みパルスは電圧V_dを5Vに固定し、電圧V_gを-9V、-9.2V、-9.4V、…と0.2Vずつ変化させてもよい。あるいは、電圧V_gを-9Vに固定して電圧V_dを5V、5.2V、5.4V、5.6V…0.2Vずつ変化させてもよい。データ“1”のベリファイ読み出し時は、制御ゲートの電圧V_gを2.8Vとしてメモリセルがオンするか否かによって書き込み十分かどうかを判定する。

【0065】データ“1”の書き込み終了後、データ“2”の書き込みが行われる。データ“2”の書き込みパルスは電圧V_dをデータ“1”の書き込みよりも、図13に示す電圧V₁₂だけ大きい6Vに固定し、制御ゲートの電圧V_gを-9V、-9.2V、-9.4V、…と0.2Vずつ変化させてもよい。この時、電圧V_dの値を6Vよりも低い例えば5.5Vにすればトンネル酸化膜に印加される電界が弱くなりメモリセルの信頼性が向上することは、NAND型フラッシュメモリの場合と同様である。また、電圧V_dをデータ“1”の書き込みと同様の5Vに固定し、制御ゲートの電圧V_gをデータ“1”の書き込みよりも電圧V₁₂だけ低くして、-10V、-10.2V、-10.4V、…と0.2Vずつ変

(13)

23

化させてもよい。あるいは、制御ゲートの電圧 V_g を $-9V$ に固定して電圧 V_d を $6V$ 、 $6.2V$ 、 $6.4V$ 、 $6.6V$ …と $0.2V$ ずつ変化させてもよい。さらには、制御ゲートの電圧 V_g を $-10V$ に固定して電圧 V_d を $5V$ 、 $5.2V$ 、 $5.4V$ 、 $5.6V$ …と $0.2V$ ずつ変化させてもよい。データ“2”のベリファイ読み出し時は、制御ゲートの電圧 V_g を $1.8V$ にしてメモリセルがオンするか否かによって書き込み十分かどうかを判定する。

【0066】データ“2”の書き込み終了後、データ“3”の書き込みが行われる。データ“3”書き込みパルスは電圧 V_d をデータ“1”の書き込みよりも図13に示す電圧 V_{13} だけ大きい $7V$ に固定し、制御ゲートの電圧 V_g を $-9V$ 、 $-9.2V$ 、 $-9.4V$ 、…と $0.2V$ ずつ変化させてもよい。電圧 V_d をデータ“1”の書き込みと同様の $5V$ に固定し、制御ゲートの電圧 V_g をデータ“1”の書き込みよりも V_{13} だけ低くして、 $-11V$ 、 $-11.2V$ 、 $-11.4V$ 、…と $0.2V$ ずつ変化させてもよい。あるいは、制御ゲートの電圧 V_g を $-9V$ に固定して電圧 V_d を $7V$ 、 $7.2V$ 、 $7.4V$ 、 $7.6V$ …と $0.2V$ ずつ変化させてもよい。さらには、制御ゲートの電圧 V_g を $-11V$ に固定して V_d を $5V$ 、 $5.2V$ 、 $5.4V$ 、 $5.6V$ …と $0.2V$ ずつ変化させてもよい。データ“3”のベリファイ読み出し時は、制御ゲートの電圧 V_g を $0.8V$ にしてメモリセルがオンするか否かによって書き込み十分かどうかを判定する。

【0067】尚本発明は、上記各実施の形態に何ら限定されるものではなく、種々変形実施することが可能である。要は、本発明の主旨を逸脱しない範囲内で、トンネル効果を用いて書き込み・消去を行う際のトンネル酸化膜に印加される最適な電界を設定すればよい。したがって、最適な電界を設定するために“1”書き込み、“2”書き込み、“3”書き込みの最初の書き込みパルスに対して、ワード線の電位を変化させてもよいし、ビット線の電位を変化させてもよい。あるいは、ビット線とワード線の電位をともに変化させてもよい。

【0068】

【発明の効果】以上、詳述したようにこの発明によれば、多値メモリセルに書き込みあるいは消去を行う際に、過剰書き込みを防止できるとともに、書き込み時間を最短とすることができる不揮発性半導体記憶装置を提

24

供できる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態を示すものであり、メモリセル及びビット線制御回路を示す回路図。

【図2】本発明が適用される不揮発性半導体記憶装置を示す構成図。

【図3】本発明のメモリセルの閾値電圧分布を示す図。

【図4】図1の読み出し動作を示すタイミング図。

【図5】本発明の書き込み動作を説明するフローチャート。

【図6】図1の書き込み及びベリファイ読み出しの動作を示すタイミング図。

【図7】本発明の第1の実施の形態に係る書き込み電圧を示す波形図。

【図8】本発明の第2の実施の形態に係る書き込み電圧を示す波形図。

【図9】図1の変形例を示す回路図。

【図10】本発明の第3の実施の形態に係る書き込み電圧を示す波形図。

【図11】本発明の第4の実施の形態に係る書き込み電圧を示す波形図。

【図12】本発明の変形例を示すものであり、書き込み電圧の印加方法を説明するために示す図。

【図13】図12の変形例に対応した閾値電圧分布を示す図。

【図14】図14(a)はNAND型EEPROMを示す平面図、図14(b)は図14(a)の等価回路図。

【図15】図15(a)は図14(a)に示す15a-15a線に沿った断面図、図15(b)は図14(a)に示す15b-15b線に沿った断面図。

【図16】NAND型EEPROMのセルアレイを示す回路図。

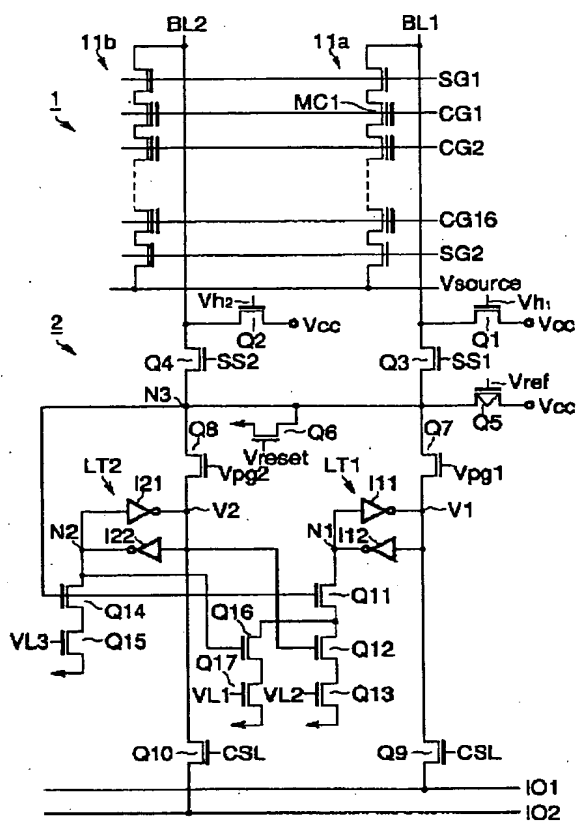
【図17】多値NAND型EEPROMの閾値電圧分布を示す図。

【符号の説明】

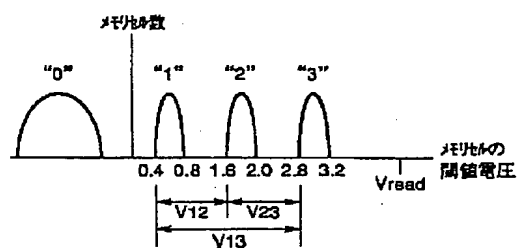
1…メモリセルアレイ、
2…ビット線制御回路、
5…ロウデコーダ、
8…プログラム/ベリファイ制御回路、
LT1、LT2…ラッチ回路、
MC1…メモリセル、
BL1、BL2…ビット線。

(14)

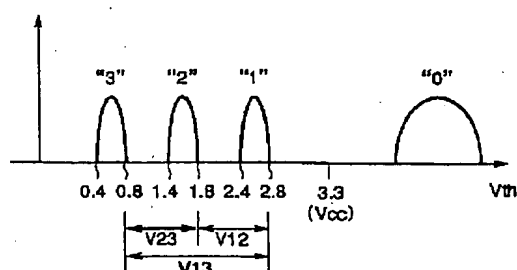
【図・1】



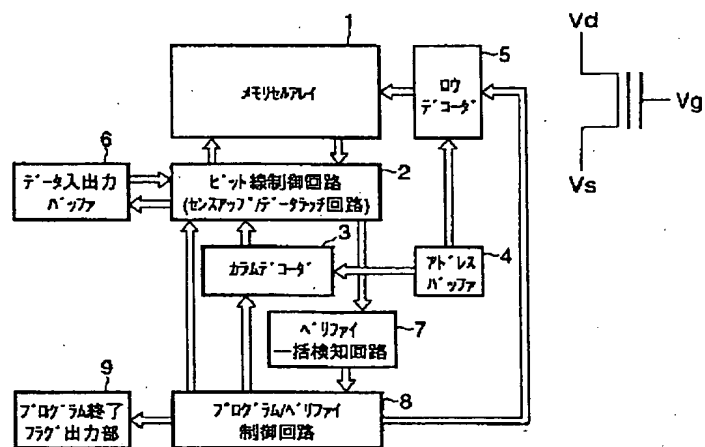
【図 3】



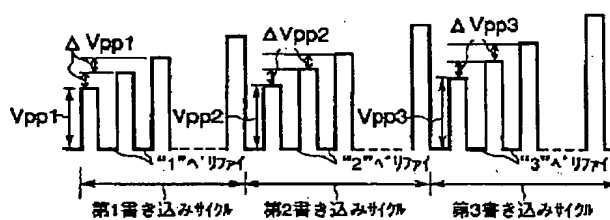
【図 13】



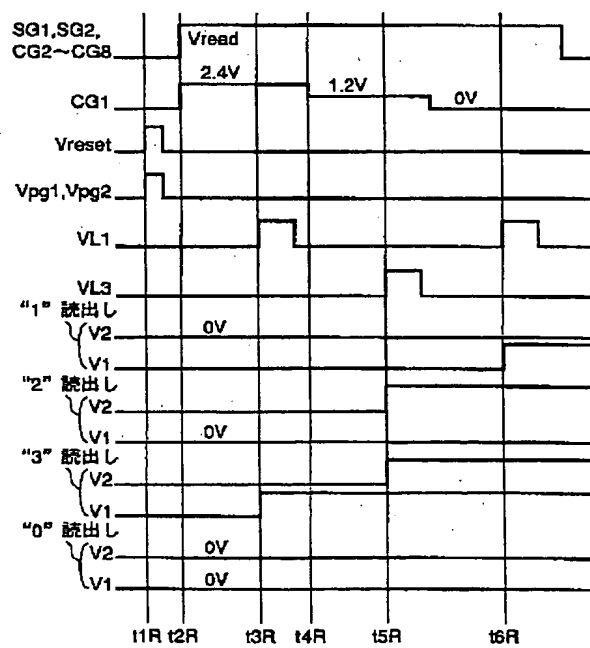
【図2】



【図 7】

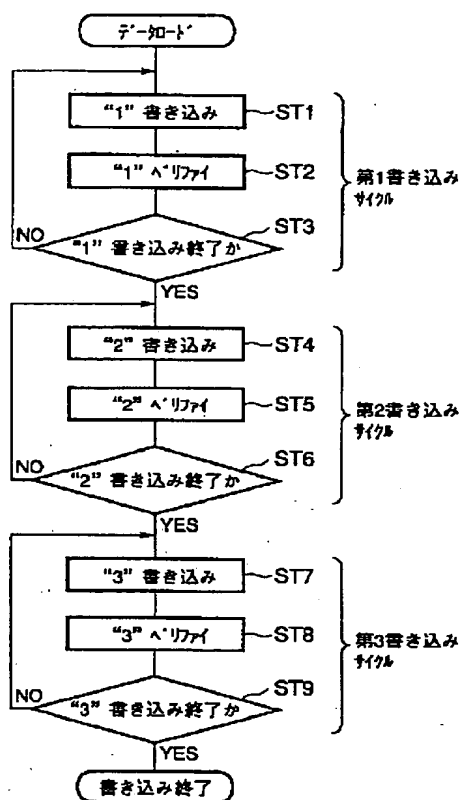


【図 4】

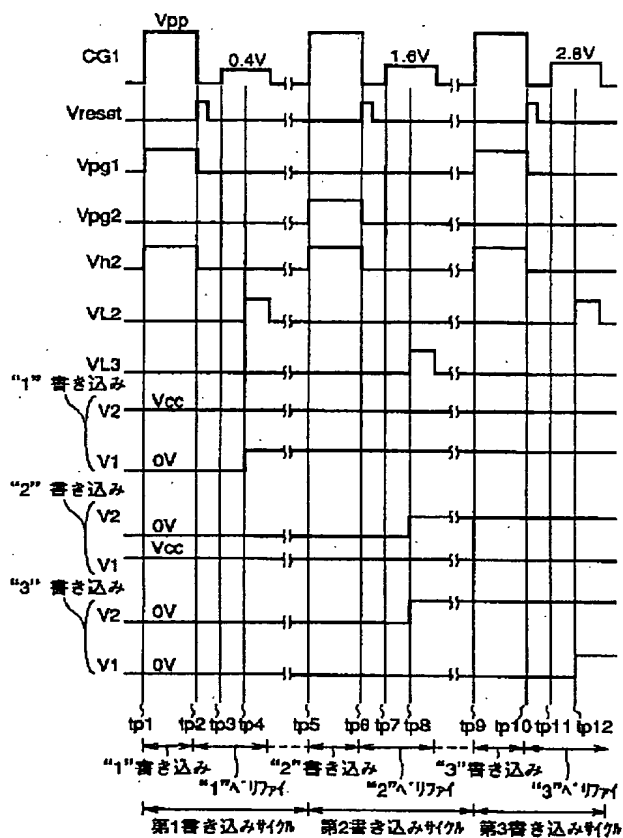


(15)

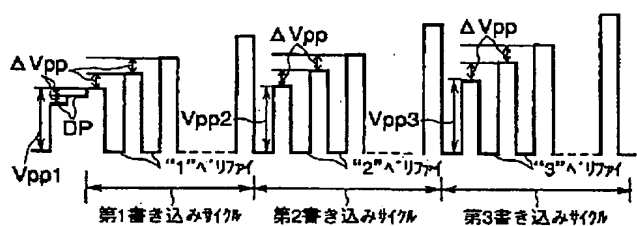
【図5】



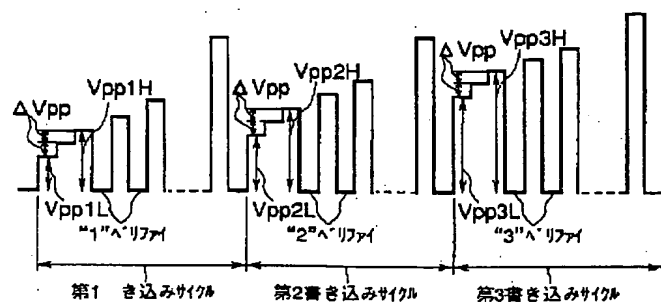
【図6】



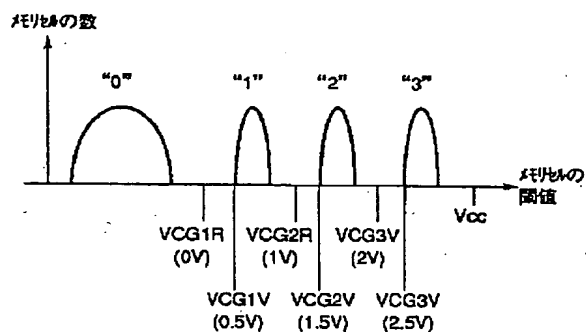
【図8】



【図10】

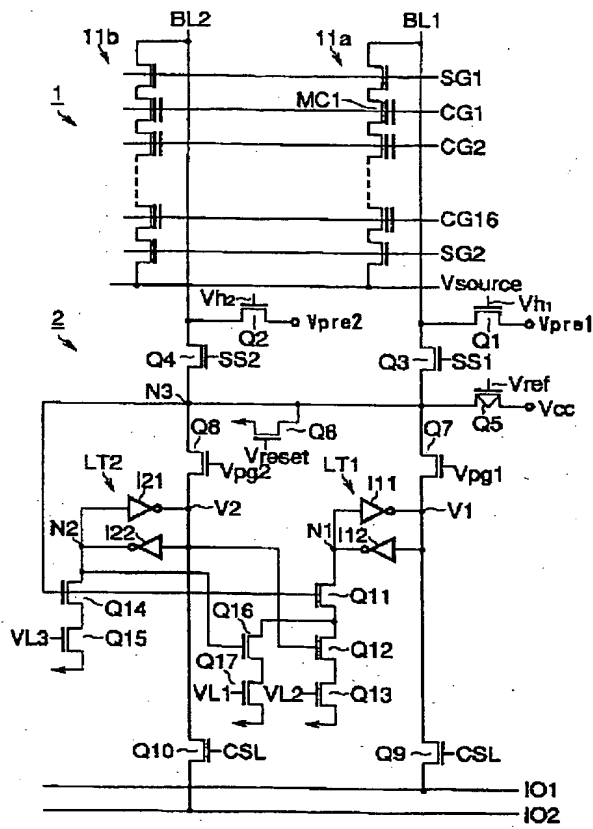


【図17】

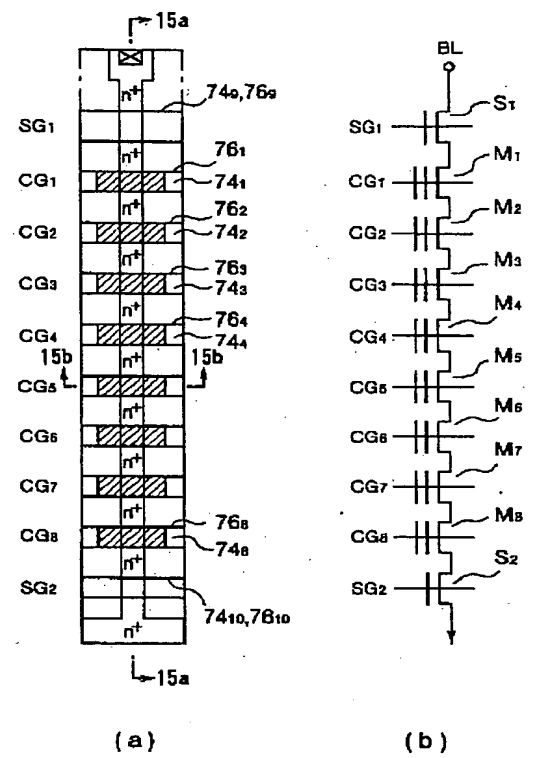


(16)

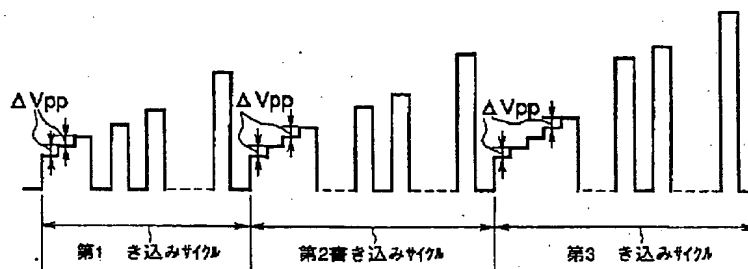
【図9】



【図14】

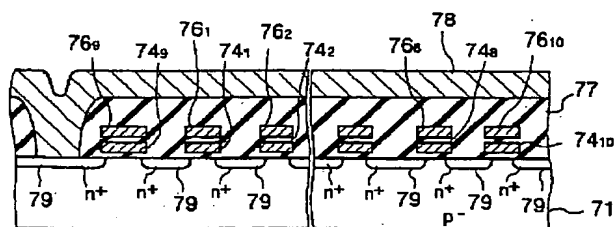


【図11】

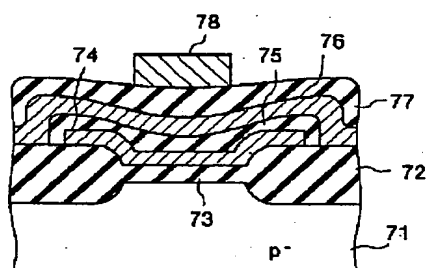


(17)

【図 15】



(a)



(b)

【图 16】

